



(13) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Offenlegungsschrift**
(10) **DE 199 28 598 A 1**

(5) Int. Cl.⁶:
G 11 C 7/00
G 11 C 17/08

(21) Aktenzeichen: 199 28 598.5
(22) Anmeldetag: 22. 6. 99
(43) Offenlegungstag: 30. 12. 99

DE 199 28 598 A 1

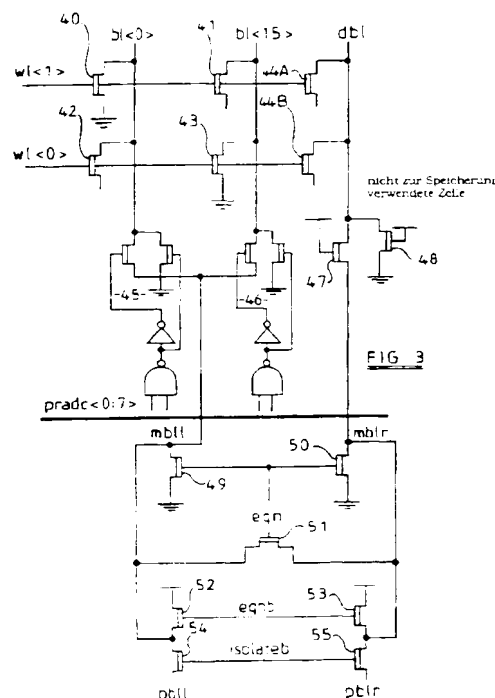
(30) Unionspriorität:
98 13459 23. 06. 98 GB
(71) Anmelder:
Mitel Semiconductor Ltd., Swindon, Wiltshire, GB
(74) Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667
München

(72) Erfinder:
Albon, Richard, Tavistock, Devon, GB; Alan, Martin,
Plymouth, Devon, GB; Johnston, David, Tavistock,
Devon, GB

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Halbleiterspeicher

(57) Ein Halbleiterspeicher, z. B. ein ROM-Halbleiterspeicher, enthält Spalten von Speicherzellen (40 bis 43) mit je einer an die Zellen der Spalte angeschlossenen Bitleitung (b1<0>, b1<15>) für jede Spalte. Die Bitleitungen (b1<0>, b1<15>) sind über Multiplexer (45, 46) an den Eingang (pbll) eines Leseverstärkers (60 bis 80) angeschlossen. Bis zur Auswahl einer Spalte werden die Bitleitungen (b1<0>, b1<15>) in einem umgeladenem Zustand gehalten. Wird eine Spalte ausgewählt, so wird deren Bitleitung mittels eines Pull-up Transistors (52) mit einer Ladespannung verbunden.



DE 199 28 598 A 1

Diese Erfindung bezieht sich auf Halbleiterspeicher und im besonderen, aber nicht ausschließlich, auf Nur-Lese-Halbleiterspeicher.

Herkönnlicherweise wurden Nur-Lese-Halbleiterspeicher Read Only Memories = ROMs entweder für Anwendungen konzipiert, bei denen die Bauteilekosten wichtiger als die Betriebsgeschwindigkeit ist, oder bei denen die Betriebsgeschwindigkeit wichtiger als die Bauteilekosten ist. Diese beiden Erfordernisse führten zu zwei unterschiedlichen Herangehensweisen, ROMs und deren Leseanordnungen aufzubauen.

In den Fällen, in denen die Betriebsgeschwindigkeit weniger wichtig ist, wurde zum Lesen der Inhalte des Kernspeichers eine digitale logische Vorgehensweise als ausreichend erachtet. Große ROMs weisen sowohl auf den Bitleitungen als auch auf den Wortleitungen große kapazitive Lasten auf. Solche Lasten bewirken, daß sich langsam bewegende Spannungssignale lange Zeiten benötigen, um an die Q-Ausgänge zu gelangen. Es ist bekannt, einen Inverter zur Verstärkung der Ausgangssignale der Bitleitung oder des Multiplexers an die Q-Ausgänge einzusetzen. In dem Fall, das die Geschwindigkeit wichtiger ist, wird allgemein eine Anzahl von kleineren ROMs eingesetzt. Kleinere ROMs können mit höheren Geschwindigkeiten arbeiten, da die Lasten der Bitleitungen und Wortleitungen kleiner sind.

Es wurden eine Anzahl von Herangehensweisen ausgeführt, in größeren ROMs höhere Betriebsgeschwindigkeiten zu erreichen. Eine solche Herangehensweise teilt ROMs in kleinere ROM-Blöcke, die parallel verbunden sind. Diese Herangehensweise führt zu kleineren Wortleitungen und Bitleitungen, aber auch zu einem ineffektivem Layout des Bauteils und einer notwendigen Duplizierung vieler Schaltungen in jedem ROM-Block.

Eine zweite Herangehensweise setzt spezielle Kodierungstechniken für die ROM-Zellen ein, um den Speicherzellenbereich und Verzögerungen durch interne Signalausbreitung zu reduzieren. Diese Vorgehensweise erhöht die Komplexität des ROMs, was oft als ein zu hoher Preis für die erreichten Vorteile erachtet wird. In Fällen, in denen die Größe des ROMs weniger wichtig ist, setzt eine dritte Herangehensweise Dual-Bit-Speicherzellen in dem ROM-Kern ein, um die Signalstärke vor dem Auslesen zu erhöhen. In diesem Fall liefert das jeder Speicherzelle zugeordnete Paar von Bitleitungen ähnlich wie bei einem Schreib-Lese-Speicher (Random Access Memory = RAM) komplementäre Signale an den Leseverstärker. Die verbesserte Signalstärke, das heißt Signale mit größerer Amplitude, erlaubt eine Reduzierung der Zugriffszeiten. Die vierte Herangehensweise setzt eine hybride Bildung einer einfachen und einer Dual-Bit-Speicherzelle ein, um Signale an den Leseverstärker anzulegen. Entsprechend dieser Vorgehensweise wird ein Referenzspannungssignal mit einer auf der Hälfte zwischen einer logischen eins und einer logischen null liegenden Amplitude an den zweiten Eingang des Leseverstärkers angelegt, wobei der erste Eingang von der Speicherzelle versorgt wird.

Ein herkömmliches ROM entsprechend der zuvor angeführten vierten Herangehensweise ist in der Fig. 1 gezeigt, in der erste bis vierte Speicherzellentransistoren 11 bis 14 jeweils an eine der Wortleitungen $wl<1>$ und $wl<0>$ und an eine der Bitleitungen $bl<0>$ und $bl<1>$ angeschlossen sind. Diese Transistoren bilden einen Teil einer großen Anordnung von Speicherzellentransistoren, deren Größe typischerweise 256k oder 512k bei einer Anordnung von 16 Transistorenspalten pro Bit und 8 Bits pro Wort beträgt, die jeweils in der gleichen Weise an eine Bitleitung und eine

Wortleitung angeschlossen sind. Zum Zwecke der Vereinfachung sind nur die vier Speicherzellentransistoren 11 bis 14 gezeigt. Die Transistoren 11 und 14 weisen eine geerdete dritte Elektrode auf, wohingegen die Transistoren 12 und 13 nicht geerdet sind. Nicht zur Speicherung verwendete Transistoren 15 und 16 werden entsprechend der Verbindungen der Transistoren 11 bis 14 mit den Bitleitungen $bl<0>$ und $bl<1>$ an eine nicht zur Speicherung verwendete Bitleitung dbl angeschlossen. Die Bitleitungen $bl<0>$, $bl<1>$ und dbl werden durch einen jeweiligen Vortlade-Transistor 17, 18 und 19 selektiv an die Versorgungsspannung angeschlossen. Die Bitleitungen $bl<0>$ und $bl<1>$ werden durch jeweilige Späterdekodierlogik- und Multiplexschaltungen 20 und 21 selektiv mit einer ersten Eingangsleitung $nibl$ des Leseverstärkers verbunden. Die Späterdekodierlogik- und Multiplexschaltungen 20 und 21 verbinden ihre jeweilige Bitleitungen $bl<0>$ oder $bl<1>$ nur dann mit der Leitung $nibl$, wenn geeignete Spaltenauswahlsignale auf einer vordekodierten Adressbusleitung $pradr$ vorhanden sind. Es kann nur eine der Bitleitungen $bl<0>$ und $bl<1>$ gleichzeitig ausgewählt sein. Die Bitleitung dbl ist über einen Anpaßtransistor 22 an eine zweite Eingangsleitung $nibl$ des Leseverstärkers angeschlossen. Zwischen die Bitleitung dbl und Erde ist ein nicht zur Speicherung benutzter Speicherzellentransistor 23 geschaltet.

Zwischen die Leitungen $nibl$ und $nibl$ sind erste und zweite Ausgleichstransistoren 24 und 25 geschaltet. Klemmitransistoren 26 und 27 verbinden die jeweilige ihrer Leitungen $nibl$ und $nibl$ abhängig von der auf ihrer jeweiligen Leitung $nibl$ oder $nibl$ vorhandenen Spannung mit der Versorgungsspannung. Die Transistoren 26 und 27 arbeiten als schwache Gleichstrom-Pegelhalter, die die Leitungen $nibl$ und $nibl$ auf die Versorgungsspannung ziehen, wenn diese nicht erregt werden. Die Transistoren 28, 29, 30 und 31 sind in einer Stromspiegelanordnung so miteinander verbunden, daß sie einen Leseverstärker bilden. Ein Ausgangssignal des Leseverstärkers wird an der Verbindung zwischen den Leseverstärkertransistoren 28 und 30 abgegriffen.

Die Fig. 2 zeigt ein typisches Zeitablaufdiagramm. Eine empfangene Adresse wird durch eine (nicht gezeigte) Dekodierlogik registriert, welche eine bestimmte Reihe und Spalte des Speicherkerns angibt, das heißt eine bestimmte Wortleitung und Bitleitung. Die ansteigenden Flanke des Taktsignals bewirkt, daß die Vortlade-Transistoren 17 bis 19 jede der Bitleitungen $bl<0>$, $bl<1>$ und dbl vortladen, und daß die Ausgleichstransistoren 24 und 25 die Leitungen $nibl$ und $nibl$ aneinander anpassen. Einige Zeit nach dieser ansteigenden Flanke des Taktsignals erzeugt die (nicht gezeigte) Adressdekodierlogiksschaltung Signale, um die passenden Wortleitungen und Bitleitungen auszuwählen. (Nicht gezeigte) Logikschaltungen überwachen die ausgewählte Wortleitung $wl<1>$ oder $wl<0>$ und Bitleitung $bl<0>$ oder $bl<1>$, sowie die auf die Versorgungsspannung geladenen Bitleitungen, um die Vortlade- und Ausgleichssignale zu invertieren, welche an die Transistoren 17 bis 19 und 24 und 25 angelegt wurden.

Diejenigen Speicherzellentransistoren 11 bis 14 die sowohl durch ein Signal auf ihrer jeweiligen Wortleitung freigegeben, als auch an das Erbpotential angeschlossen sind, verursachen eine Entladung ihrer jeweiligen Bitleitung. Alle anderen Speicherzellentransistoren bewirken mit Ausnahme spezifischer Kriechverluste keine Entladung ihrer jeweiligen Bitleitung. Das Umschalten des nicht zur Speicherung benutzten Speicherzellentransistors 23 durch die (nicht gezeigte) Adressdekodierlogik gleichzeitig mit der Auswahl der Wortleitung verursacht eine Entladung der Bitleitung dbl auf das Erbpotential. Der nicht zur Speicherung benutzte Speicherzellentransistor 23 wird immer ausgewählt, wenn

eine Wortleitung ausgewählt wird. Die Entladung tritt im Vergleich mit jeglicher anderer sich entladender Bitleitung mit der halben Rate ein. Da die Bitleitung $bl<0>$ oder $bl<15>$ über ihre jeweilige Spaltendekodier- und Multiplexlogikschaltung **20** oder **21** an die Leitung $mbll$ und die nicht gespeicherte Bitleitung dbl über den Transistor **22** an die Leitung $mblr$ angeschlossen ist, entsteht eine Spannungsabweichung auf den jeweiligen Leitungen $mbll$ und $mblr$. Diese Abweichung wird von dem aus den Transistoren **28** bis **31** gebildeten Leseverstärker detektiert und verstärkt. Der Leseverstärker liefert demzufolge ein Leseausgangssignal, welches das Ausleseergebnis des Spannungssignals auf der Leitung $mbll$ im Vergleich zu dem des Spannungssignals der Leitung $mblr$ anzeigt, welches demzufolge den Zustand des ausgewählten Speicherzellentransistors **11** bis **14** wiedergibt.

Das Leseausgangssignal des Leseverstärkers wird an einen (nicht gezeigten) Puffer weitergeleitet und von diesem gepuffert, bevor es als Q-Ausgangssignal weitergeleitet wird. Der (nicht gezeigte) Puffer erzeugt eine kleine Verzögerung.

In diesen ROM werden nicht ausgewählte Bitleitungen, die einem mit Erde verbundenen Speicherzellentransistor in der ausgewählten Reihe zugeordnet sind, auch auf das Erdpotential entladen, obwohl sie nicht ausgewählten Bitleitungen sind.

Die Tatsache, daß jede der Bitleitungen $bl<0>$, $bl<15>$ und dbl vor jedem Leseschritt vorgeladen werden, und daß etwa die Hälfte davon am Ende jedes Schritts entladen werden (unter der Annahme von 50% Einsen und 50% Nullen in einer beliebigen vorhandenen Reihe eines Speicherkerns) bedeutet, daß das in der **Fig. 1** gezeigte ROM einen beträchtlich hohen Stromverbrauch aufweist. Die Kriechverluste der Ladungen der Bitleitungen über die p-n Kriechströme und Nebenkriechverlusteffekte, die für Speicherzellentransistoren spezifisch sind, erhöhen den Stromverbrauch weiter. Ebenso weist das ROM durch dieses kontinuierliche Laden und Entladen viele potentielle Rauschquellen auf. Dies bedeutet, daß hier ein hohes Übersprechrisiko zwischen den Spuren auf derselben und bei vielschichtigen Schaltungen auf verschiedenen Schichten besteht.

Entsprechend eines ersten Gesichtspunktes dieser Erfindung weist ein Halbleiterspeicher mit einer Leseanordnung für den Speichereinhalt wenigstens eine an jede Speicherzelle einer Spalte von Speicherzellen angeschlossene Bitleitung und Mittel auf, die auf die Auswahl der Spalte ansprechen, um die Bitleitung mit einer Ladespannung zu verbinden, wobei die Bitleitung vor der Auswahl der Spalte im wesentlichen nicht geladen ist.

Entsprechend eines zweiten Gesichtspunktes dieser Erfindung enthält ein Halbleiterspeicher mit einer Leseanordnung für den Speichereinhalt wenigstens eine an jede Speicherzelle einer Spalte von Speicherzellen angeschlossene Bitleitung, einen Leseverstärker, und Mittel, die bei der Auswahl der Spalte ansprechen, um eine Ladespannung an die Bitleitung anzulegen und die Bitleitung mit einem Eingang des Leseverstärkers zu verbinden, wobei die Bitleitung vor der Auswahl der Spalte im wesentlichen nicht geladen ist.

Entsprechend eines dritten Gesichtspunktes dieser Erfindung enthält ein Halbleiterspeicher wenigstens zwei jeweils zu einer jeweiligen Spalte von Speicherzellen zugeordnete Bitleitungen, wobei jede Bitleitung mit jeder Speicherzelle in ihrer jeweiligen Spalte verbunden ist und jede Bitleitung durch einen zugeordneten Multiplexer in Abhängigkeit von einem jeweiligen Spaltenauswahlsignal selektiv an eine der Bitleitungen gemeinsame Eingangsleitung eines Leseverstärkers angeschlossen wird; und einen Pull-up Transistor,

der vorgesehen ist, um die Eingangsleitung des Leseverstärkers abhängig von einem logischen Signal mit einer Ladespannung zu verbinden. Der Pull-up Transistor lädt hierdurch die Eingangsleitung des Leseverstärkers und die ausgewählte Bitleitung, ohne nicht ausgewählte Bitleitungen zu laden. Weiterhin werden nur eine geringe Anzahl von Pull-up Transistoren benötigt, da diese der Eingangsleitung des Leseverstärkers zugeordnet sind, und nicht den Bitleitungen.

Eine Ausführungsform dieser Erfindung wird nachfolgend beispielhaft in Bezug auf die beigefügten Zeichnungen beschrieben, es zeigen:

Fig. 1 einen Nur-Lese-Halbleiterspeicher nach dem Stand der Technik;

Fig. 2 ein Zeitablaufdiagramm des in der **Fig. 1** gezeigten ROMs;

Fig. 3 einen Halbleiterspeicher in Form eines Nur-Lese-Speichers nach dieser Erfindung;

Fig. 4 einen Leseverstärker zur Verwendung mit dem in der **Fig. 3** gezeigten Halbleiterspeicher; und

Fig. 5 ein Zeitablaufdiagramm der Halbleiterspeicheranordnung nach den **Fig. 3** und **4**.

In der **Fig. 3** sind erste bis vierte Speicherzellentransistoren **40** bis **43** gezeigt, die jeweils an eine der Wortleitungen $wl<1>$ und $wl<0>$ und an eine der Bitleitungen $bl<0>$ und $bl<15>$ angeschlossen sind. In der gleichen Weise sind nicht zur Speicherung verwendete Transistoren **44a** und **44b** an eine nicht zur Speicherung verwendete Bitleitung dbl angeschlossen. Wie in dem in der **Fig. 1** gezeigten ROM befinden sich diese Transistoren in einer großen Anordnung von Speicherzellentransistoren. Die Bitleitungen $bl<0>$ und $bl<15>$ werden durch eine jeweilige der Spaltendekodier- und Multiplexlogikschaltungen **45** und **46** selektiv mit einer ersten Eingangsleitung $mbll$ des Leseverstärkers verbunden.

Die Spaltendekodier- und Multiplexlogikschaltungen **45** und **46** sind im wesentlichen gleich wie in dem in **Fig. 1** gezeigten ROM an eine vordekodierte Adressbusleitung $pradc$ angeschlossen. Nicht Speicherung verwendete Transistoren **47** und **48** sind so zwischen die nicht zur Speicherung verwendete Bitleitung dbl und eine zweite Eingangsleitung $mblr$ des Leseverstärkers geschaltet, daß die Kennwerte der Leitung dbl denen der Bitleitungen $bl<0>$ und $bl<15>$ angepaßt werden. Der Transistor **48** ist ständig mit der Versorgungsspannung verbunden, um einen Halblese-Nulltreiberstrom auf die Leitung $mblr$ einzuprägen. Zwischen eine jeweilige Leitung $mbll$ und $mblr$ und Erdpotential sind Erdtransistoren **49** und **50** geschaltet, deren Gateelektroden gemeinsam verbunden sind. Zwischen die Leitungen $mbll$ und $mblr$ ist ein Ausgleichstransistor **51** geschaltet, dessen Gateelektrode an die gemeinsame Gateelektrodenverbindung der Erdtransistoren **49** und **50** angeschlossen ist. Zwischen die Versorgungsspannung und eine jeweilige der Leitungen $mbll$ und $mblr$ sind Pull-up Transistoren **52** und **53** geschaltet. Zwischen eine jeweilige der Leitungen $mbll$ und $mblr$ und eine jeweilige dritte und vierte Eingangsleitung $pbll$ und $pblr$ des Leseverstärkers sind Isolationstransistoren **54** und **55** geschaltet.

In der **Fig. 4** ist gezeigt, daß der Leseverstärker aus zwei Stufen besteht, der Verstärkungsstufe mit den Transistoren **60** bis **65** und der Latch-Stufe mit Transistoren **66** bis **78** und Invertern **79** und **80**.

Der Betrieb des in der **Fig. 3** gezeigten Nur-Lese-Halbleiterspeichers wird nachfolgend in Bezug auf die **Fig. 3, 4** und **5** beschrieben.

Ein Lesezyklus beginnt mit einem an die (nicht gezeigte) Adressdekodierlogik angelegten Adresssignal. Zu diesem Zeitpunkt sind die Spaltendekodier- und Multiplexlogikschaltungen **45** und **46** ausgeschaltet. Hierdurch sind die

Bitleitungen $bl<0>$ und $bl<15>$ mit dem Erdpotential verbunden und die Pull-up Transistoren **52** und **53** sind ebenfalls ausgeschaltet. Die Leitungen $mbll$ und $mblr$ werden durch die Frdtransistoren **49** und **50** auf dem Erdpotential gehalten und durch den Ausgleichstransistor **51** aneinander angeglichen. Die Leitungen $mbll$ und $mblr$ sind weiter an die jeweiligen der Leitungen $pbll$ und $pblr$ angeschlossen, da die Isolationstransistoren **54** und **55** angeschaltet sind. Einen Zeitabschnitt nach der ansteigenden Flanke des Taktsignals gibt die (nicht gezeigte) Adressdekodierlogik eine der Wortleitungen $wl<0>$ und $wl<1>$ und eine ausgewählte der Spaltendekodierlogikschaltungen **45** und **46** frei.

Einen bestimmten Zeitabschnitt nach der ansteigenden Flanke des Taktsignals ändert sich das Signal eqn auf einen niedrigen Pegel, wodurch die Transistoren **49** und **50** und der Ausgleichstransistor **51** ausgeschaltet werden und die Pull-up Transistoren **52** und **53** eingeschaltet werden. Zu diesem Zeitpunkt erfährt die ausgewählte Bitleitung $bl<0>$ oder $bl<15>$ durch den Pull-up Transistor **52** einen Spannungsanstieg. Die nicht zur Speicherung verwendete Bitleitung dbl erfährt durch den Transistor **48** ebenfalls einen Spannungsanstieg. Die Rate der erfahrenen Spannungsänderung ist nur davon abhängig, ob der Speicherzellentransistor **40** bis **43**, welcher an die freigegebene Wortleitung $wl<0>$ oder $wl<1>$ angeschlossen ist, mit dem Erdpotential verbunden ist oder nicht. Ist dieser Transistor mit dem Erdpotential verbunden, so lädt sich jeweilige Bitleitung langsamer auf, als die nicht zur Speicherung verwendete Bitleitung dbl und umgekehrt. Die Leitungen $pbll$ und $pblr$ laden sich mit der Bitleitung auf, an die sie angeschlossen sind.

Eine (nicht gezeigte) Pegeldetektionsschaltung zieht ein Signal $saeb$ herunter, wenn sie detektiert, daß die Spannung auf der nicht zur Speicherung verwendeten Bitleitung dbl einen bestimmten Pegel erreicht hat. Dieser Pegel ist so eingestellt, daß er einen kleinen Betrag oberhalb der NMOS-Transistorschwellenspannung liegt, vorzugsweise zwischen 1 und 1,3 Volt. An diesem Punkt werden die Isolationstransistoren **54** und **55** ausgeschaltet, wodurch $mbll$ von $pbll$ und $mblr$ von $pblr$ elektrisch getrennt werden. Die Transistoren **60** und **65** der Verstärkungsstufe des Leseverstärkers werden durch den Abfall des Signals $saeb$ ebenfalls angeschaltet oder freigegeben. Hierdurch verstärken die Transistoren **61** bis **64** das auf den Leitungen $pbll$ und $pblr$ vorhandene Spannungssignal. Das Signal $saeb$ wird für eine bestimmte Zeit niedrig gehalten, die nur dazu ausreichen muß, die Daten von der Verstärkungsstufe des Leseverstärkers in die Latch-Stufe des Leseverstärkers zu übertragen. Bevor das Signal $saeb$ ansteigt, leitet die Ausgangsleitung des Leseverstärkers $saout1$ das Ausgangssignal an eine (nicht gezeigte) Pullerlogik weiter und damit an einen Q-Ausgang.

Beide Signale $saeb$ und eqn steigen gleichzeitig an, wodurch die Transistoren **49** bis **51** geerdet werden, die Leitung $mbll$ und $mblr$ aneinander angepaßt werden, die Pull-up Transistoren **52** und **53** ausgeschaltet werden, die Leitungen $mbll$ und $mblr$ wieder mit den jeweiligen der Leitungen $pbll$ und $pblr$ verbunden werden und die Lesesignale von den Leitungen $pbll$ und $pblr$ durch die Latch-Transistoren **66**, **67**, **69**, **72**, **74** und **75** in die Latch-Stufe des Leseverstärkers gelatcht werden. Ebenfalls wird die Verstärkerstufe des Leseverstärkers ausgeschaltet, da die Transistoren **60** und **65** ausgeschaltet werden. An diesem Punkt ist wieder ein Ausgleich hergestellt.

Da nur ausgewählte Bitleitungen aufgeladen und demzufolge entladen werden, ist der in der Fig. 3 gezeigte Halbleiterspeicher leistungseffizienter, als der in der Fig. 1 gezeigte Speicher. Weiterhin tritt eine geringe Entladung auf, da die Bitleitungen nur auf einen kleinen Betrag über eine NMOS-Transistorschwellenspannung aufgeladen werden, z. B. zwi-

schen 1 und 1,3 Volt. Ebenfalls wird weniger Rauschen erzeugt und es besteht eine geringere Möglichkeit für ein Übersprechen zwischen Bitleitungen und anderen Sparen, als in dem in der Fig. 1 gezeigten Speicher, da weniger Bitleitungen entladen werden.

Um die Zugriffszeit des in der Fig. 3 gezeigten Speichers zu minimieren, ist es erwünscht, die Verzögerungszeit des Pfads der Adressdekodierlogik eng an die abfallende Flanke des eqn -Signals anzupassen. Kann es nicht garantiert werden, daß die Adressdekodierlogik ihre Funktion vor dem Abfall des eqn -Signals ausführt, oder ist es erwünscht, daß das eqn -Signal so schnell wie möglich nach der ansteigenden Flanke des Taktsignals abfällt, so ist es vorteilhaft festzustellen, daß die Adressdekodierlogik ihren Prozeß abgeschlossen hat, bevor das eqn -Signal abfallen darf. Dies ist der in der obigen Ausführungsform beschriebene Fall. Alternativ kann das eqn -Signal so vorgesehen sein, eine bestimmte Zeit nach der ansteigenden Flanke des Taktsignals abzufallen. Diese Alternative bietet eine reduzierte Komplexität in dem Halbleiterspeicher.

Da die Isolationstransistoren **54** und **55** angeschaltet sind, wenn ausgewählte Bitleitungen geladen werden, werden die Eingangsleitungen $pbll$ und $pblr$ des Leseverstärkers zusammen mit den Leitungen $mbll$ und $mblr$ aufgeladen. Die Vorteile hiervon sind eine reduzierte Rauschleistung und eine verbesserte Zugriffszeit. Die Zugriffszeit wird verbessert, da der Leseverstärker nicht nach dem Feststellen, das Signale auf den Bitleitungen gesetzt wurden, sondern gleichzeitig geladen wird.

In dem in der Fig. 3 gezeigten Speicher ist der Ausgleich der Leitungen $mbll$ und $mblr$ der normale Zustand. Dieser Zustand wird nur unterbrochen, wenn der Leseverstärker neue Daten aus den Speicherzellentransistoren **40** bis **43** auslesen muß. Diese Anordnung ermöglicht so die wesentliche Eliminierung der früheren Probleme, genügend Zeit zum Ausgleich zu garantieren, bevor Daten aus den Speicherzellentransistoren **40** bis **43** ausgelesen werden. Das Ausmaß der Überwindung der früheren Probleme durch diese Anordnung ist im besonderen bei Geschwindigkeiten unterhalb der maximalen Arbeitsgeschwindigkeit feststellbar.

Patentansprüche

1. Halbleiterspeicher mit einer Leseanordnung für den Speicherinhalt, umfassend wenigstens eine an jede Speicherzelle (**40-43**) einer Spalte von Speicherzellen (**40-43**) angeschlossene Bitleitung ($bl<0>$, $bl<15>$), gekennzeichnet durch Mittel (**52**), die auf die Auswahl der Spalte ansprechen, um die Bitleitung ($bl<0>$, $bl<15>$) mit einer Ladespannung zu verbinden, wobei die Bitleitung ($bl<0>$, $bl<15>$) vor der Auswahl der Spalte im wesentlichen nicht geladen ist.
2. Halbleiterspeicher mit einer Leseanordnung für den Speicherinhalt, umfassend wenigstens eine an jede Speicherzelle (**40-43**) einer Spalte von Speicherzellen (**40-43**) angeschlossene Bitleitung ($bl<0>$, $bl<15>$) und einen Leseverstärker (**60-80**), gekennzeichnet durch Mittel (**52**, **54**), die bei der Auswahl der Spalte ansprechen, um eine Ladespannung an die Bitleitung ($bl<0>$, $bl<15>$) anzulegen und die Bitleitung ($bl<0>$, $bl<15>$) mit einem Eingang des Leseverstärkers (**60-80**) zu verbinden, wobei die Bitleitung ($bl<0>$, $bl<15>$) vor der Auswahl der Spalte im wesentlichen nicht geladen ist.
3. Halbleiterspeicher, enthaltend wenigstens zwei jeweils zu einer jeweiligen Spalte von Speicherzellen (**40-41**) zugeordnete Bitleitungen ($bl<0>$, $bl<15>$), wobei jede Bitleitung ($bl<0>$, $bl<15>$) mit jeder Spei-

cherzelle (~~40-41~~) in ihrer jeweiligen Spalte verbunden ist und jede Bitleitung (bl<0>, bl<15>) durch einen zugeordneten Multiplexer (~~45, 46~~) in Abhängigkeit von einem jeweiligen Spaltenauswahlsignal selektiv an eine der Bitleitungen (bl<0>, bl<15>) gemeinsame 5 Eingangsleitung (pbl) eines Leseverstärkers angeschlossen wird, gekennzeichnet durch einen Pull-up Transistor (~~52~~), der vorgesehen ist, um die Eingangsleitung (pbl) des Leseverstärkers abhängig von einem logischen Signal mit einer Ladespannung zu verbinden. 10

Hierzu 4 Seiten(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

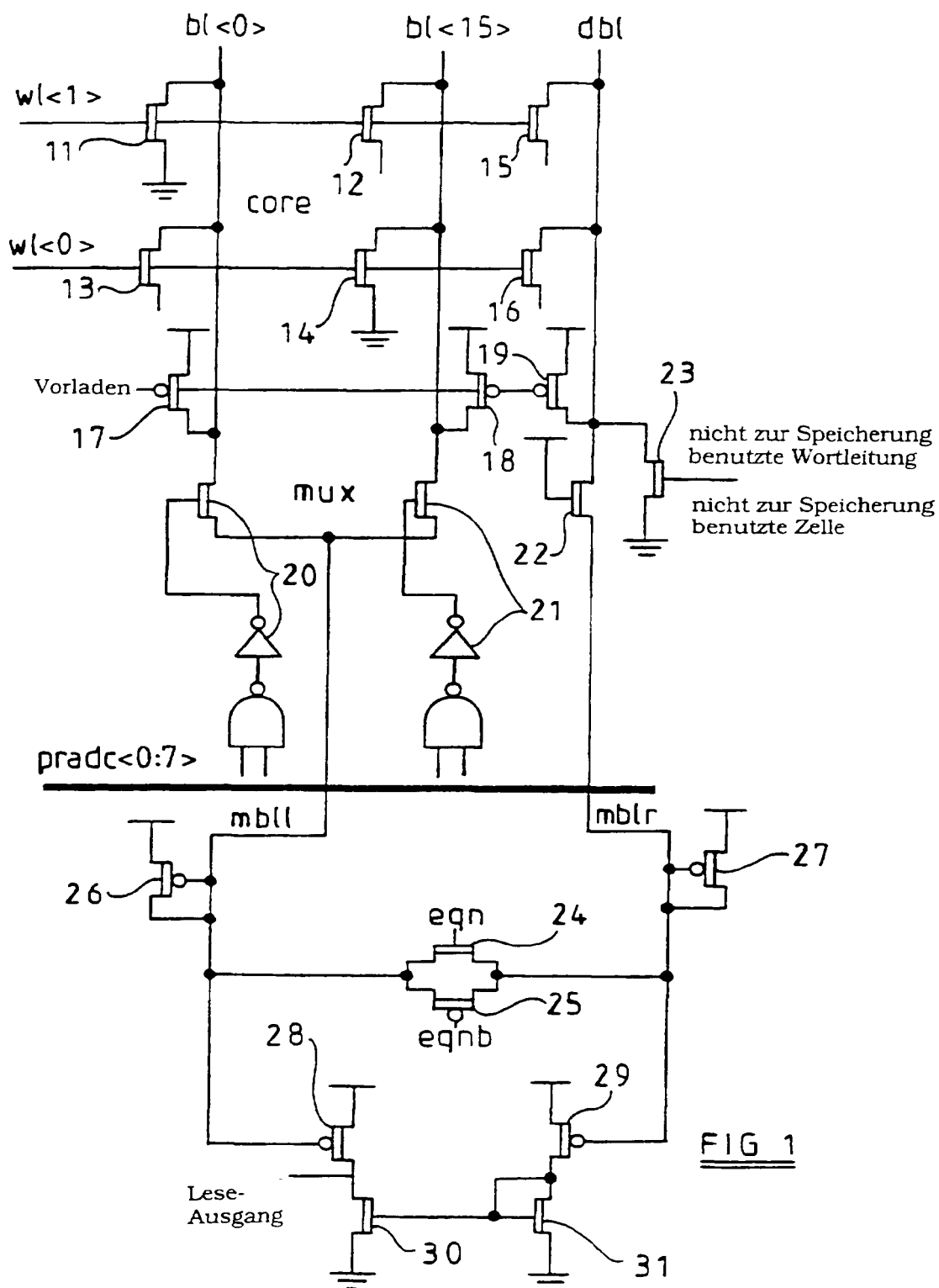


FIG 1

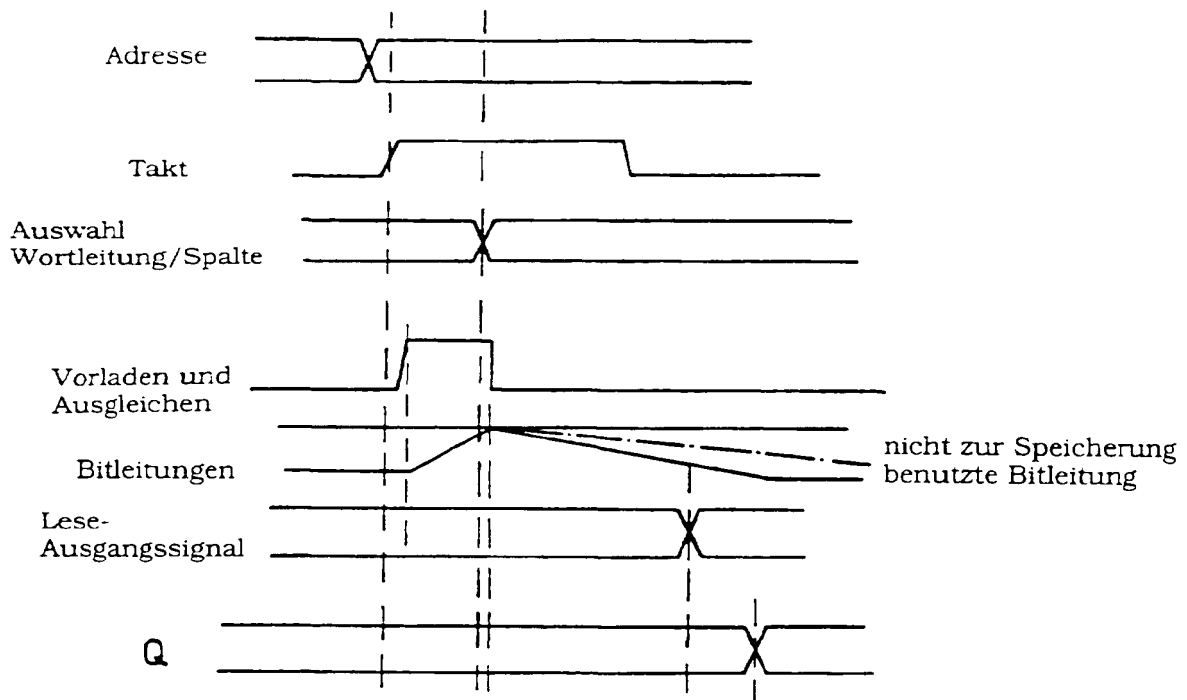


FIG 2

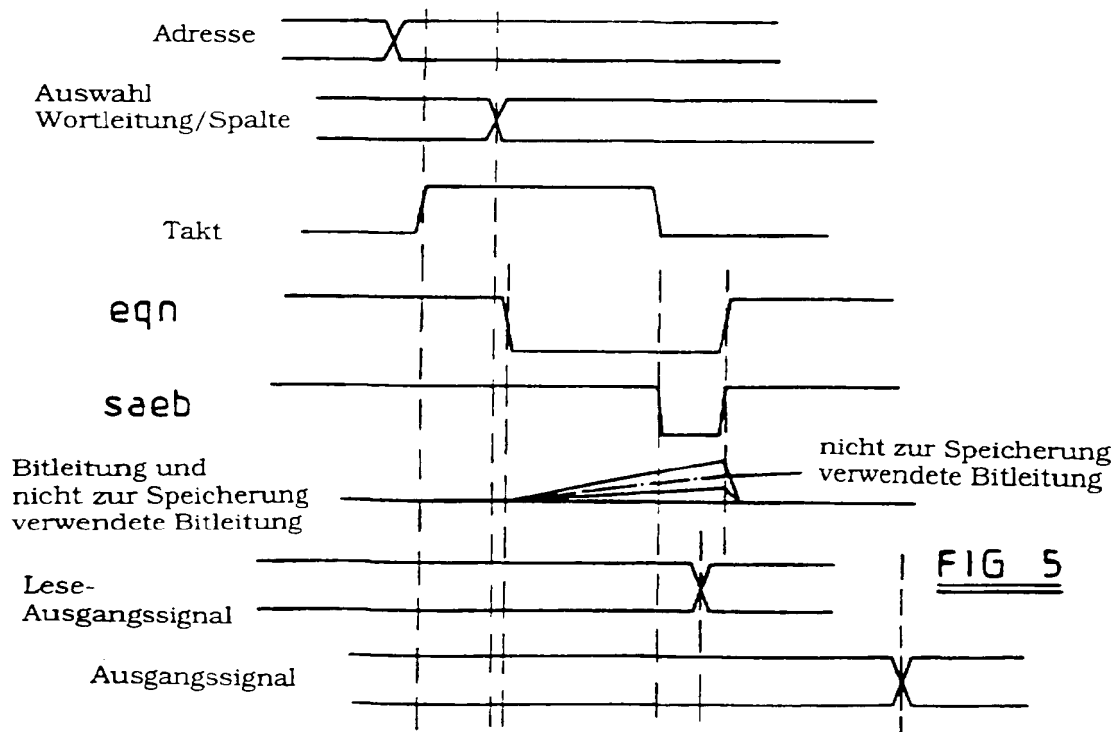


FIG 5

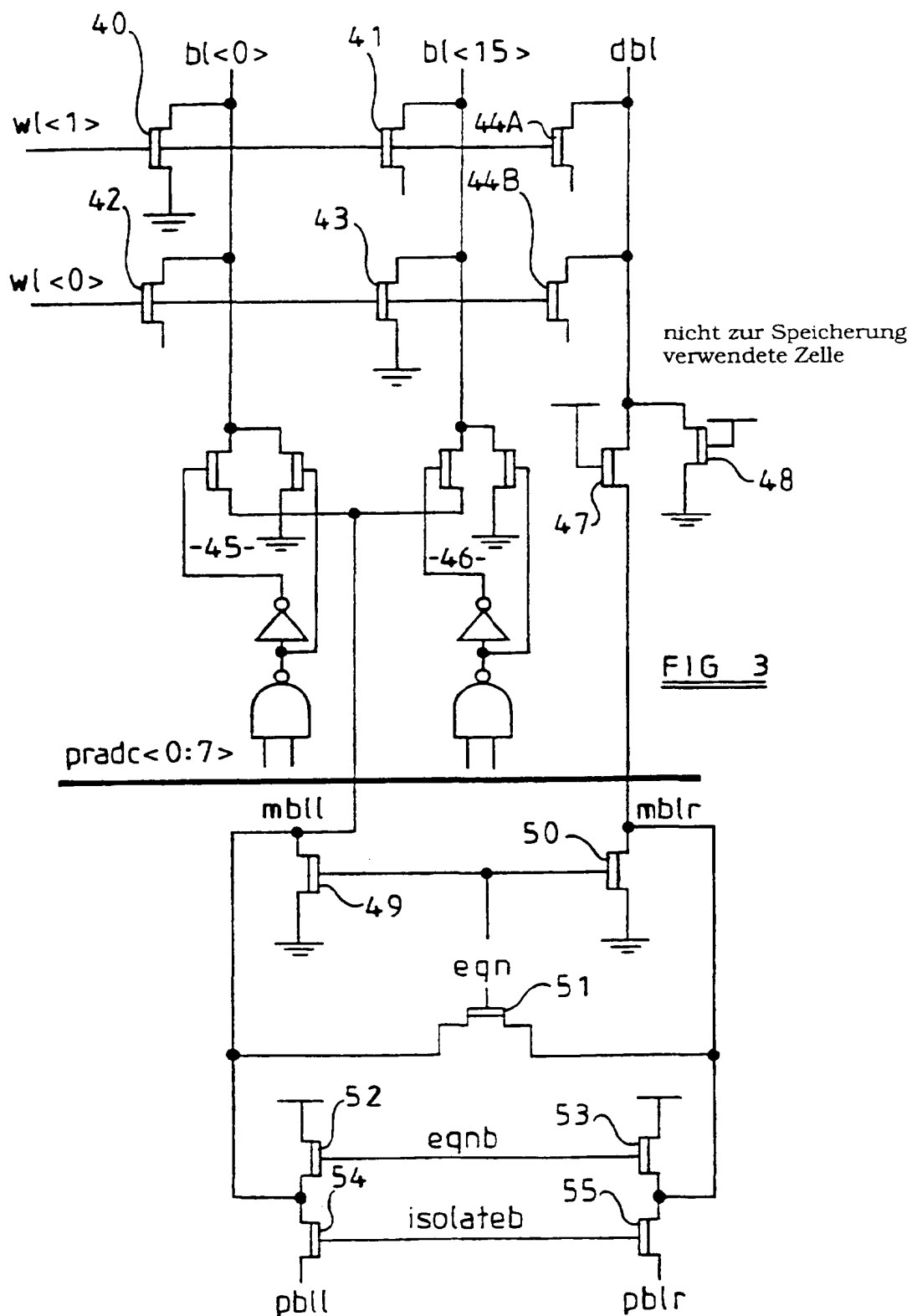
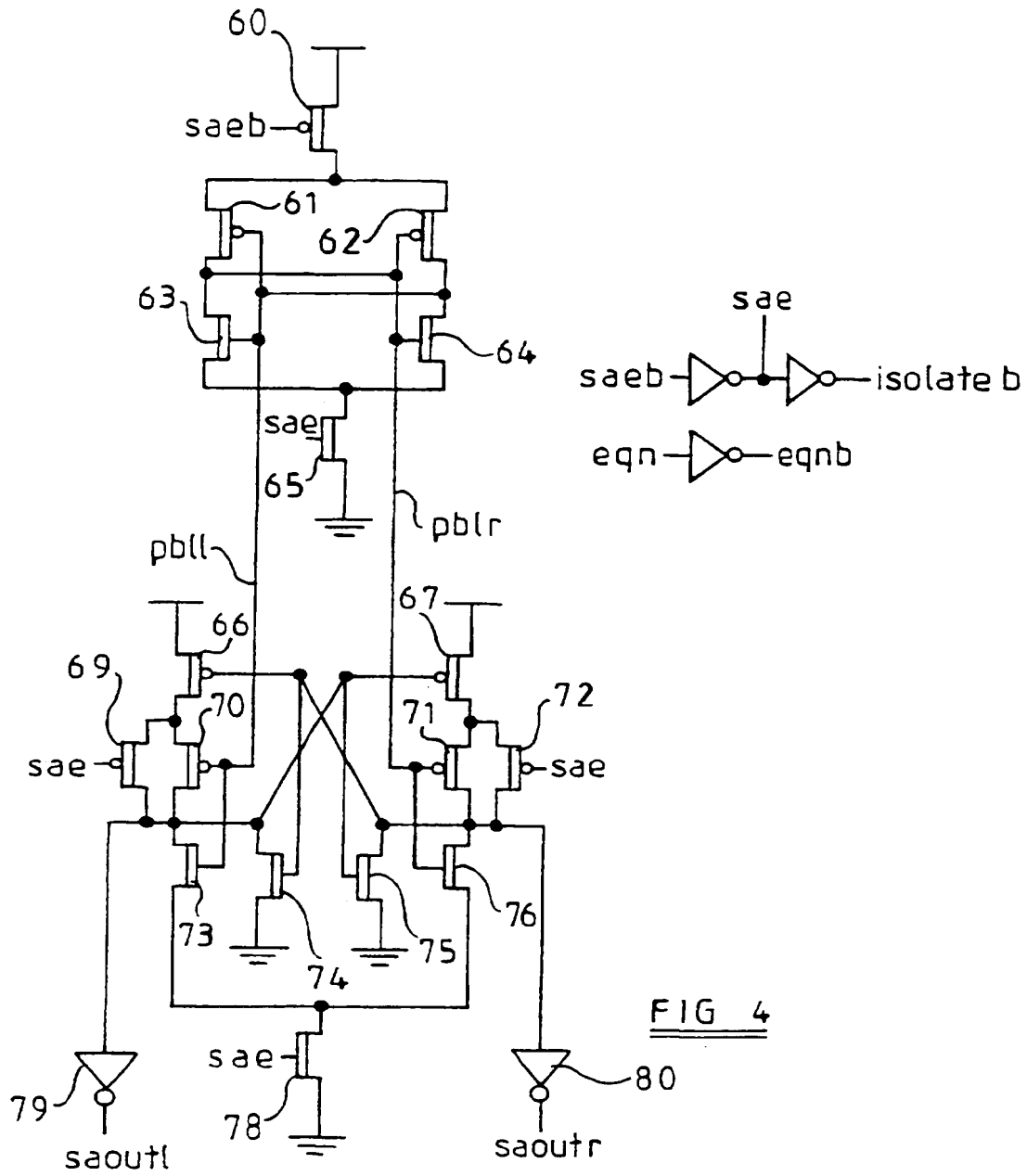


FIG 3



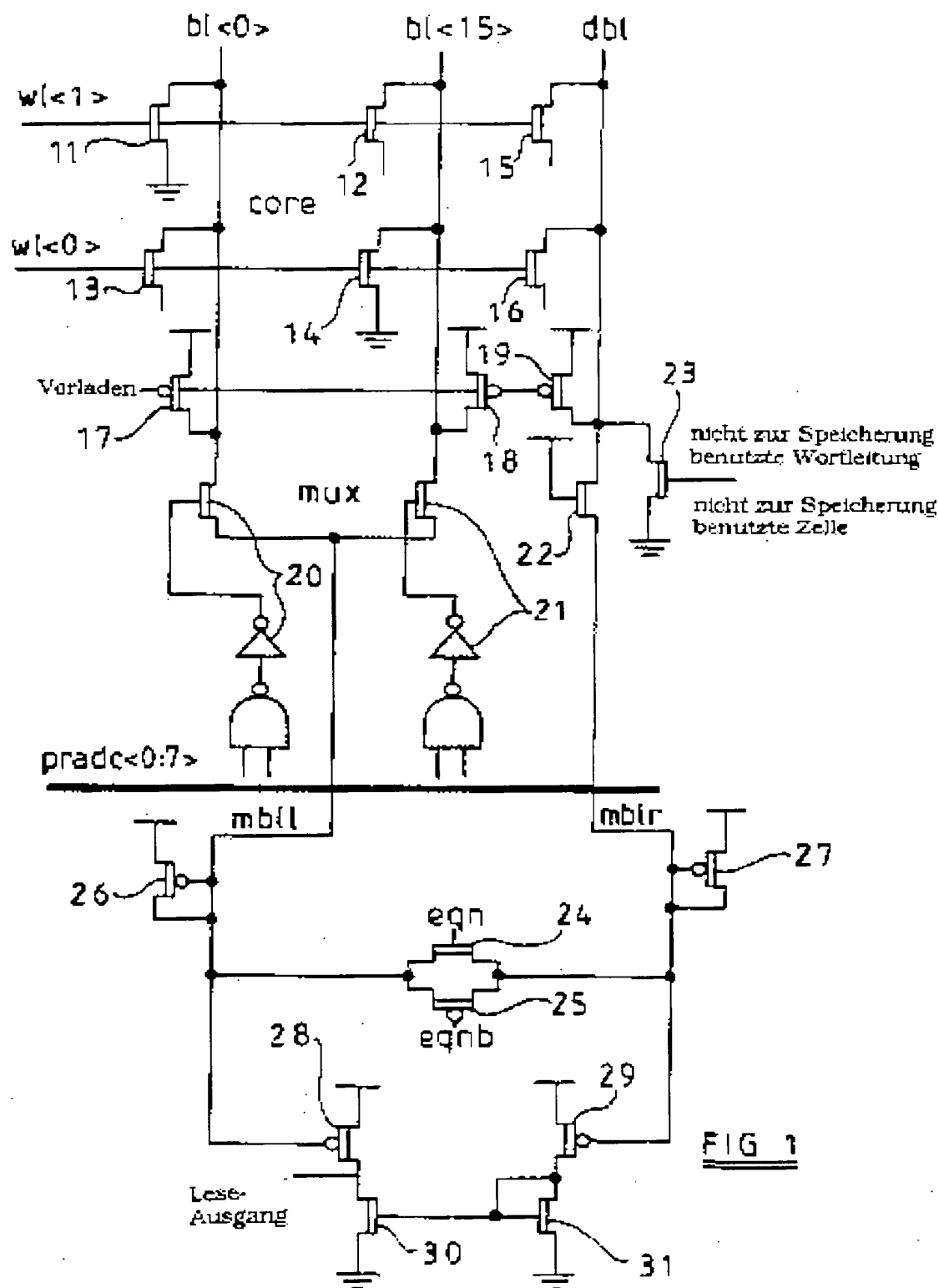


FIG 1

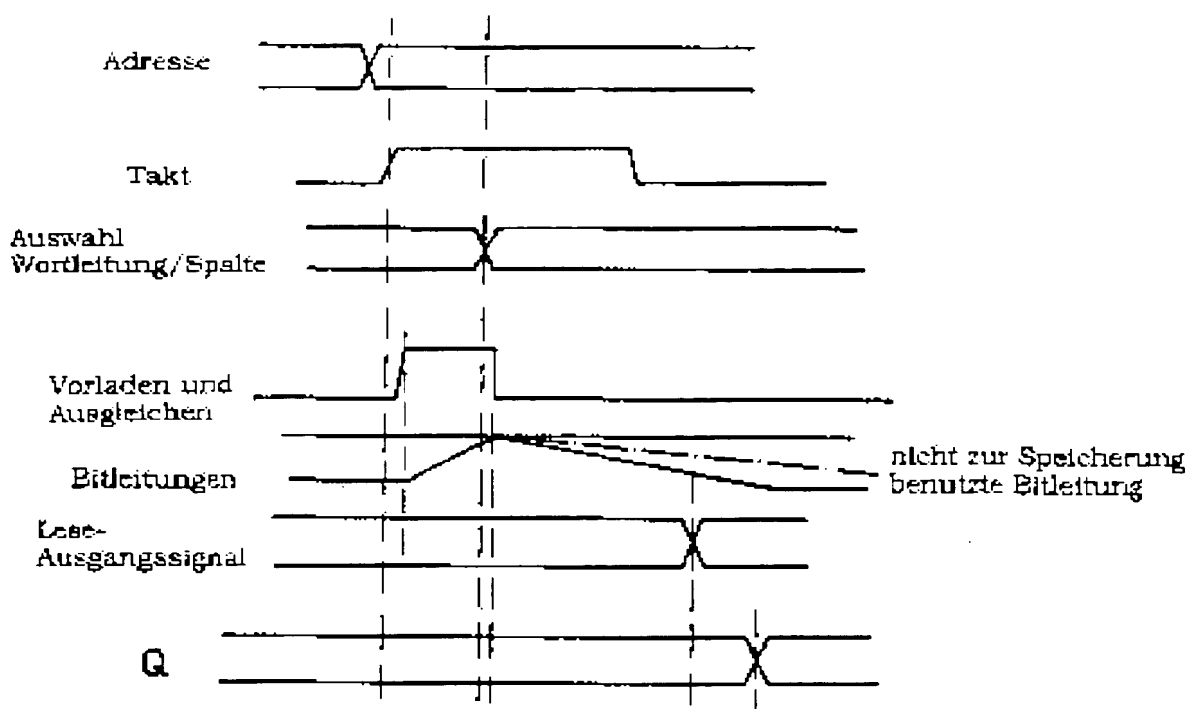


FIG 2

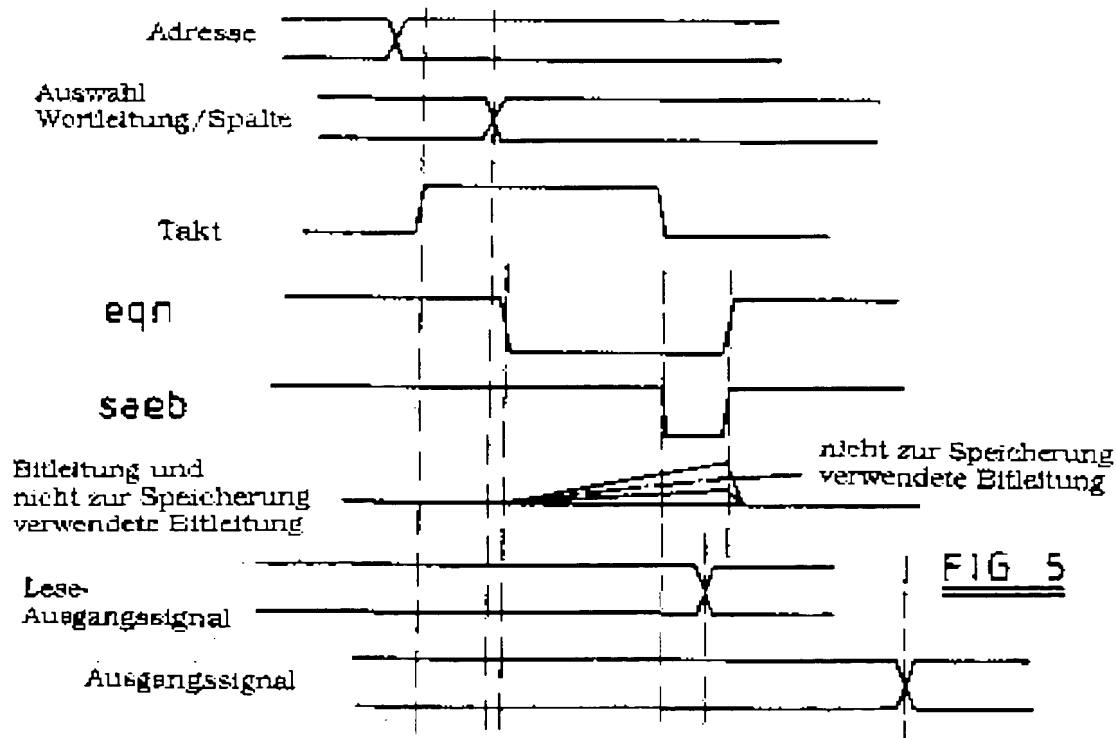


FIG 5

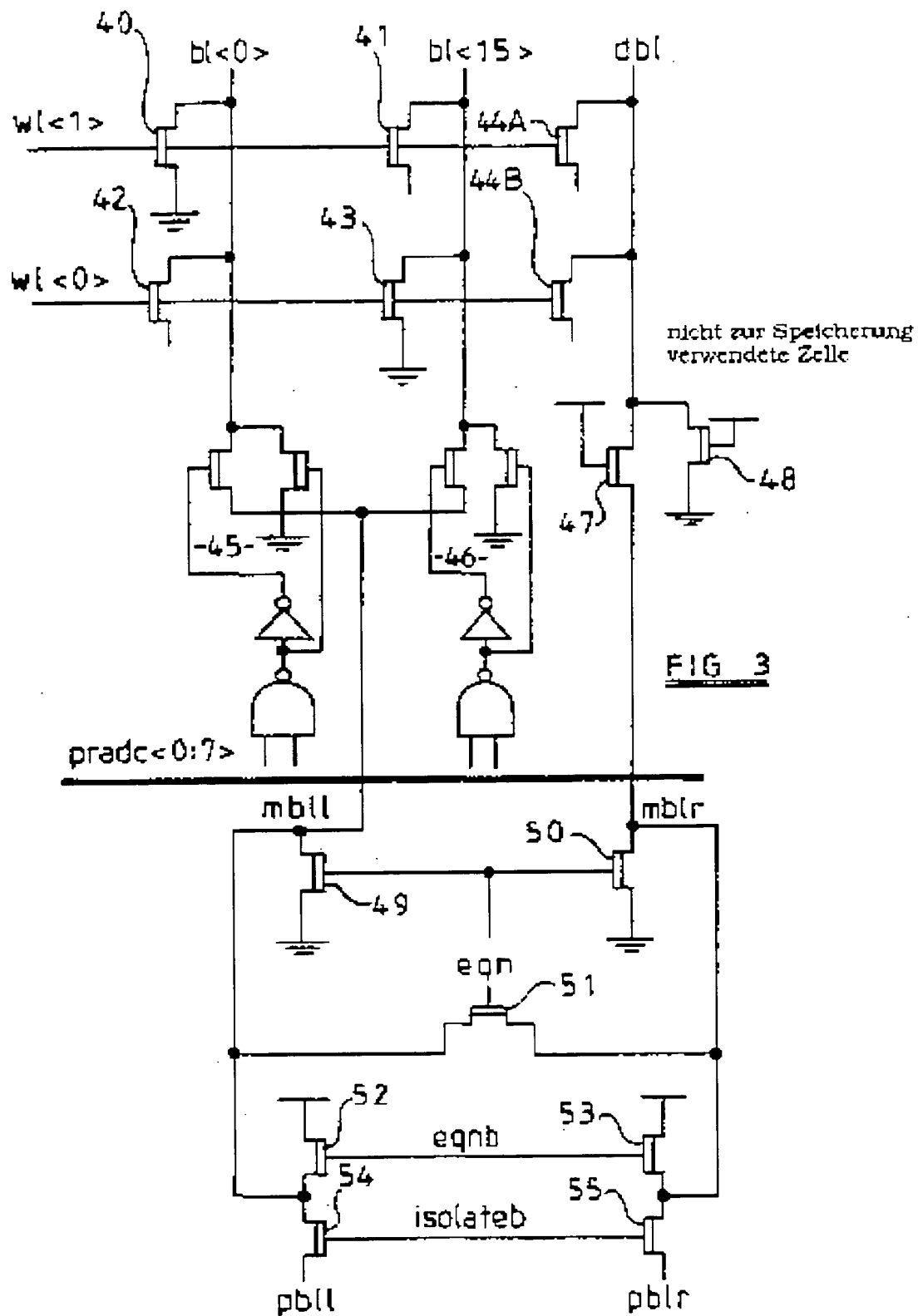


FIG 3

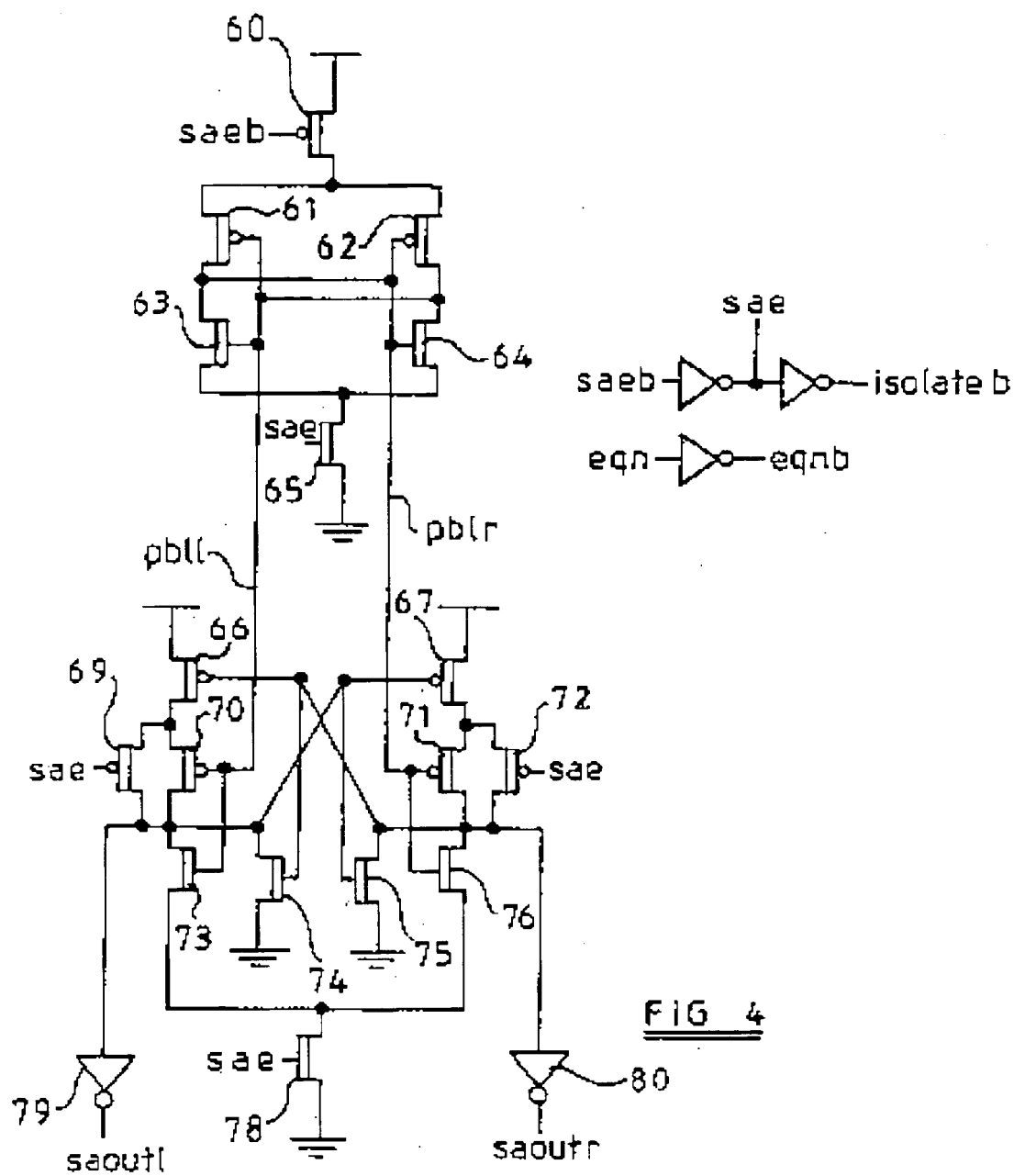


FIG 4